



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11145917 A**

(43) Date of publication of application: 28 . 05 . 99

(51) Int. Cl

H04B 17/00

(21) Application number: 09323956

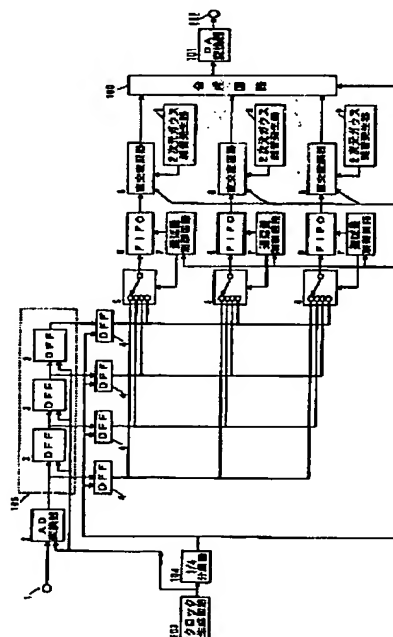
(22) Date of filing: 11 . 11 . 97

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **KATSURA EIJI****(54) MULTIPATH FADING SIMULATOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a function for setting the delay time of a delay wave at a high resolution concerning a multipath fading simulator to be used for evaluating the performance of various kinds of communication equipment.

SOLUTION: An A/D converter 2 samples an analog signal at the four times speed of operation of a FIFO 6 of a delay element. A D flip-flop(DFF) 3 delays that output with the four times resolution of a delay time settable for a FIFO 6. The DFF 4 simultaneously latches the outputs of respective steps of the DFF 3. At such a time, each DFF of the DFF 4 can provide data delayed for one to four clocks relatively by the time resolution of AD sampling. A switch 5 selects the data of the DFF 4 and further delays the data for a long time through the FIFO 6. Thus, the analog signal is sampled at speed higher than the operating speed of the FIFO 6, several kinds of delayed data are selected and delayed by the high resolution and further these data are delayed by the FIFO 6 so that the delay amount of the resolution higher than the delay due to only the FIFO 6 can be set.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145917

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 4 B 17/00

識別記号

F I

H 0 4 B 17/00

C

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号 特願平9-323956

(22) 出願日 平成 9 年(1997) 11月11日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 桂 英司

神奈川県横浜市港北区綱島東四丁目 3 番 1

号 松下通信工業株式会社内

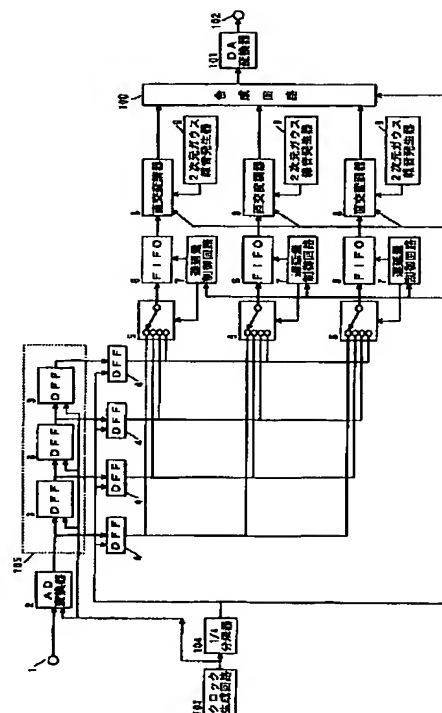
(74) 代理人 弁理士 役 昌明 (外 3 名)

(54) 【発明の名称】 マルチバスフェージングシミュレータ

(57) 【要約】

【課題】 各種通信機器の性能評価に使用されるマルチバスフェージングシミュレータにおいて、遅延波の遅延時間を高分解能に設定する機能を実現する。

【解決手段】 AD変換器2は遅延素子のFIFO6の動作の4倍の速度でアナログ信号をサンプリングする。その出力をDFF3はFIFO6で設定可能な遅延時間分解能の4倍の分解能で遅延する。DFF4はDFF3の各段の出力を同時にラッチする。このときDFF4の各DFFにはADサンプリングの時間分解能で相対的に1から4クロック遅延されたデータが得られる。スイッチ5ではDFF4のデータを選択し、さらにFIFO6でデータを長時間の遅延する。このようにFIFO6の動作速度より高速にアナログ信号をサンプリングし、数種類の遅延したデータを選択し高分解能な遅延をして、さらにFIFO6で遅延することでFIFO6のみの遅延より高分解能な遅延量の設定が可能となる。



【特許請求の範囲】

【請求項 1】 記憶素子を用いたデジタルデータの遅延素子と、その遅延素子による遅延時間を任意に選択する遅延量の制御手段と、その遅延素子の遅延時間の分解能より N 倍 (N は整数) 高速なサンプリング周期でアナログ信号を量子化する AD 変換器と、その AD 変換器の出力をサンプリング周期と同一の時間分解能で遅延するデジタルデータの遅延素子と、その遅延時間を任意に選択する遅延量の制御手段と、バス毎に遅延量の制御を設定しうる手段を有するマルチパスフェージングシミュレータ。

【請求項 2】 サンプリング周期と同一の時間分解能でバス毎に遅延されたデータを、すべてのバスで同じクロックを使って $1/N$ に間引くためのデータのラッチ手段を備えた請求項 1 に記載のマルチパスフェージングシミュレータ。

【請求項 3】 デジタルデータをガウス雑音により直交変調するデジタル乗算器と、複数の遅延時間で遅延させたデジタル信号を加算するデジタル加算器と、該デジタル加算器の出力信号をアナログ信号に変換する DA 変換器とを有する請求項 1 に記載のマルチパスフェージングシミュレータ。

【請求項 4】 記憶素子による遅延素子の遅延量をその最高分解能の 1 ステップ分のみ増やすため遅延素子の読み出し信号を 1 ステップ分送出させないための第 1 のゲート回路と、記憶素子による遅延素子の遅延量をその最高分解能の 1 ステップ分のみ減らすため遅延素子の書き込み信号を 1 ステップ分送出させないための第 2 のゲート回路と、前記の記憶素子による遅延素子より高分解能な遅延素子の遅延量を選択する手段と、前記の記憶素子による遅延素子の遅延量と前記の高分解能の遅延素子の遅延量を制御する手段と、操作者の設定するタイミングで遅延量を増加または減少させる手段とを備えた請求項 1 に記載のマルチパスフェージングシミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種通信機器の性能評価に使用されるマルチパスフェージングシミュレータに関し、特にデジタル信号処理により高精度で高分解能な遅延を可能とし、かつデジタル信号処理による直交変調や遅延波の加算を可能とするよう構成したものである。

【0002】

【従来の技術】移動体無線伝搬路では複数の無線経路(パス)を経た電波が合成され受信される。それぞれのパスを経た電波はフェージング変動を受ける(マルチパスフェージング)。マルチパスフェージングは移動体無線通信機器の伝送特性を劣化させる大きな要因である。マルチパスフェージングシミュレータは移動体伝搬路を模擬し通信機器の性能評価に利用される装置である。

【0003】従来、マルチパスフェージングシミュレータ装置としては特開平 4 - 1 2 3 5 3 7 に記載されたものが知られている。

【0004】図 5 に従来のマルチパスフェージングシミュレータの構成を示す。なお、本発明は図 5 のブロック 15 内部の処理に関するものである。ブロック 15 へは RF 信号を周波数変換した信号が入力され、ブロック 15 内部でマルチパスフェージングの影響が付加されて出力される。

【0005】ブロック 15 に入力された信号は電力分配回路 31 で複数の信号に分配され、遅延回路 33 でそれぞれの遅延時間に応じて遅延させ、合成回路 35 で加算し出力信号とする。電力分配回路 31 で分配された各々の信号は実際の伝搬路でのバスに相当する。直交変調器 32 と 2 次元ガウス雑音発生器 34 はそれぞれの遅延波にレイリーフェージング影響を付加するためのものでガウス雑音で直交変調を行なっている。

【0006】遅延回路 33 は SAW フィルタなど遅延素子を利用しアナログ信号で遅延する方法と AD 変換しデジタル信号を FIFO やデュアルポートラムなどメモリ素子で遅延を行なう方法がある。直交変調器 32 や合成回路 35 もアナログ信号で処理する方法とデジタル信号で信号処理する方法がある。

【0007】

【発明が解決しようとする課題】ところで、実際の伝搬路条件は多様でありバス間の遅延時間を高い分解能で設定することが要求される。しかしながら、上記従来のマルチパスフェージングシミュレータにおいて精度や性能の安定性に優れたデジタル信号処理による遅延や直交変調や遅延波の合成を行なう場合、遅延素子に FIFO などのメモリ素子を用いるが、設定できる遅延時間の分解能はメモリの書き込みと読み出しのサイクル時間で遅延時間の分解能が決まるため、遅延分解能が十分にとれないという問題があった。

【0008】また、FIFO の動作速度を高速にすると遅延時間の分解能は高くできるが、AD 変換器、DA 変換器、デジタルの直交変調器や合成回路などの周辺デバイスで必要以上の高速動作が要求されることになるので、不都合が生じることがある。さらに FIFO の動作速度を高速にすると遅延時間の分解能は高くなるが、遅延時間の可変範囲を一定するには遅延時間の分解能の高さに比例して FIFO のメモリの容量が十分に必要となる。

【0009】本発明はデジタル信号処理による遅延や直交変調や遅延波の合成が可能で高い遅延時間の分解能を実現する優れたフェージングシミュレータを提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題を解決するために本発明は、遅延素子のメモリ書き込みと読み出しの動

作周波数のN倍（Nは整数）のサンプリング周波数で入力アナログ信号をAD変換し、そのサンプリング周期と同一の時間分解能でデジタルデータを遅延するデジタル信号の遅延素子を設けて高分解能の遅延を行なうと共に高分解能の遅延量の制御を行なうようにし、さらにN倍でサンプリングしたデータを $1/N$ に間引いて比較的容量の大きなメモリ素子で遅延させると共にその遅延量を制御するように構成したものである。

【0011】 $1/N$ に間引かれたデータで直交変調や遅延波の合成を行なうので、DA変換器や直交変調器や合成回路などの周辺デバイスは必要以上に高速にする必要はないし、また遅延分解能を高くしてもメモリ容量は増やす必要はない。

【0012】 $1/N$ に間引くときフェージングシミュレータのすべてのバス間を同じタイミングで間引いてデータをラッチすることで、間引いた後のデータ処理は同一クロックによる同期式デジタル信号処理で遅延や直交変調や遅延波の合成が実現できる。

【0013】以上により、デジタル信号処理による遅延や直交変調や遅延波の合成が可能で高い遅延分解能を実現できる優れたフェージングシミュレータが得られる。

【0014】

【発明の実施の形態】本発明の請求項1に記載の発明は、記憶素子を用いたデジタルデータの遅延素子と、その遅延素子による遅延時間を任意に選択する遅延量の制御手段と、その遅延素子の遅延時間の分解能よりN倍

（Nは整数）高速なサンプリング周期でアナログ信号を量子化するAD変換器と、そのAD変換器の出力をサンプリング周期と同一の時間分解能で遅延するデジタルデータの遅延素子と、その遅延時間を任意に選択する遅延量の制御手段と、バス毎に遅延量の制御を設定しうる手段を有するマルチパスフェージングシミュレータとしたものであり、遅延素子であるメモリ素子の書き込みと読み出しのサイクル時間よりもN倍高速のサンプリング周期で量子化したデジタル信号を、AD変換器のサンプリング周期を遅延分解能とした遅延素子で遅延すると共にその遅延量の制御を行ない、またそれと比較し遅延時間の分解能が低いが比較的大容量のメモリ素子により遅延させると共にその遅延量を制御することで、高分解能の遅延が設定可能なマルチパスフェージングシミュレータを実現できるという作用を有する。

【0015】また、請求項2に記載の発明は、サンプリング周期と同一の時間分解能でバス毎に遅延されたデータを、すべてのバスで同じクロックを使って $1/N$ に間引くためのデータのラッチ手段を備えた請求項1に記載のマルチパスフェージングシミュレータとしたものであり、上記請求項1の作用に加えバス毎に高分解能で遅延されたデータをすべてのバスで同一クロックでラッチすることにより、以降の信号処理を同一のクロックを使用した同期式のデジタル信号処理で実現できるという作用

を有する。

【0016】また、請求項3に記載の発明は、デジタルデータをガウス雑音により直交変調するデジタル乗算器と、複数の遅延時間で遅延させたデジタル信号を加算するデジタル加算器と、該デジタル加算器の出力信号をアナログ信号に変換するDA変換器とを有する請求項1に記載のマルチパスフェージングシミュレータとしたものであり、上記請求項1の作用に加えアナログ信号による直交変調と加算回路を用いたものに比較し高精度かつ高安定な出力信号を得ることができるという作用を有する。

【0017】また、請求項4に記載の発明は、記憶素子による遅延素子の遅延量をその最高分解能の1ステップ分のみ増やすため遅延素子の読み出し信号を1ステップ分送出させないための第1のゲート回路と、記憶素子による遅延素子の遅延量をその最高分解能の1ステップ分のみ減らすため遅延素子の書き込み信号を1ステップ分送出させないための第2のゲート回路と、前記の記憶素子による遅延素子より高分解能な遅延素子の遅延量を選択する手段と、前記の記憶素子による遅延素子の遅延量と前記の高分解能の遅延素子の遅延量を制御する手段と、操作者の設定するタイミングで遅延量を増加または減少させる手段とを備えた請求項1に記載のマルチパスフェージングシミュレータとしたものであり、操作者の設定した任意のタイミングで遅延量を1ステップずつ増減させることで遅延時間を経時変化させる機能を実現できるという作用を有する。このような遅延制御を行なうことにより移動体通信における移動に伴い刻々と変化する各バスの遅延時間を模擬させる機能を実現でき、実際の移動体通信の伝搬路に近いマルチパスフェージングシミュレータが得られる。また、遅延時間を経時変化させる必要がない場合は、目的の遅延時間まで遅延量を1ステップずつ増減させ目的の遅延量になったところで遅延量を一定にすることにより対応できる。

【0018】（第1の実施の形態）図1は、本発明のマルチパスフェージングシミュレータの構成を示し、図1において、AD変換器2は入力端子1に入力されたアナログ信号を量子化するものである。遅延回路105は3段構成のDFF（以下、DフリップフロップをDFFと略す）で構成されAD変換器2の出力の多ビットのデータをラッチしサンプリング周期と同じ時間分解能で0, 1, 2, 3サンプリングクロック分遅延させたデジタル信号を出力する。DFF4は0, 1, 2, 3サンプリングクロック分遅延させたデータをFIFO6のデータの書き込み及び読み出しと同じタイミングでデータをラッチする。ここではDFF4のラッチのクロックはAD変換器2のサンプリングクロックの $1/4$ の周波数のクロックであり、DFF3で遅延されたデータは $1/4$ に間引かれラッチされる。

【0019】クロック生成回路103は、AD変換器2の

サンプリングクロックを生成する。1/4分周器104はクロック生成回路103の出力を1/4分周した信号を出力する。1/4分周器104の出力はDFF4のラッチのクロックとしてDFF4に入力される。また、1/4分周器104の出力は遅延量制御回路7に入力される。また、1/4分周器104の出力は直交変調器8、合成回路100、DA変換器101を動作させる基準クロックとなる。

【0020】スイッチ5はデジタル信号を選択するデータセレクトで0、1、2、3サンプリングクロック分遅延したデジタルデータの中から1つを選択する。FIFO6はデジタルデータの遅延素子であり、AD変換器2のサンプリング周期の4倍低速な周期でデータの書き込みと読み出しを行なう。遅延量制御回路7は、AD変換器2のサンプリングのクロックを分周器104で1/4分周した信号をクロックとしてFIFO6の書き込みと読み出しの制御信号を出力すると共にFIFO6の記憶データ量を制御し遅延量を任意の値に設定できるようにする。また、スイッチ5を切り替えてFIFO6の遅延分解能の4倍の高い分解能で遅延量を制御する。遅延量制御回路7は外部の操作者がその遅延量を任意に設定するものである。

【0021】直交変調器8はFIFO6の出力信号にフェージングの変調を付加するための直交変調器である。直交変調器8は具体的にはデジタル乗算器で構成され、分周器104から出力されるクロックにより動作する。2次元ガウス雑音発生器9は擬似的なガウスノイズを発生する信号源である。2次元ガウスノイズ発生器9の出力は直交変調器8に入力してガウスノイズにより直交変調する。2次元ガウスノイズ発生器9は演算回路で2次元ガウスノイズを発生させる構成や大容量のデータを記憶させた記憶素子を利用して2次元ガウスノイズを発生させる構成などで実現できる。合成回路100は遅延波の加算を行なうためのもので、直交変調器8の出力は同じタイミングで出力されるため具体的にはデジタルの加算器で構成され、分周器104から出力されるクロックにより動作する。

【0022】DA変換器101は合成回路100の信号をアナ*

*ログ信号の波形に変換し出力端子102から出力させる。DA変換器101は分周器104から出力されるクロックにより動作する。

【0023】なお図1はマルチパス数が3のマルチパスフェージングシミュレータの構成であり、スイッチ5、FIFO6、遅延量制御回路7、直交変調器8、2次元ガウス雑音発生器9は3個ずつあり各パス毎に独立した遅延量の設定とフェージングの付加が可能な構成となっている。

10 【0024】以上のように構成されたマルチパスフェージングシミュレータについて図2を用いてその動作を説明する。図2の(1)はAD変換器出力のサンプリング波形データの一例であり、図2の丸印はサンプリングデータである。

【0025】図2の(2)、(3)、(4)、(5)は図1のDFF3によって0、1、2、3サンプリング時間遅延させられた波形データである。

【0026】図2(2)～(5)の黒丸はDFF4でラッチされるデータである。図2のようにサンプリングデータ単位の時間で遅延されたデータは同じタイミング1/4に間引かれてDFF4によりラッチされる。

20 【0027】図2の(2)～(5)の間引かれた遅延波形データの中から図1のスイッチ5で0～3データ分遅延させたデータのなかの1つを選択する。このようにスイッチ5は図1のFIFO6の遅延分解能より高分解能な遅延を選択することが可能となる。

30 【0028】図1のFIFO6での遅延はDFF4にデータをラッチするのと同じタイミングでFIFO6の書き込みや読み出しを行なうので、遅延時間の設定できる分解能はスイッチ5で設定できる分解能に比較し低分解能であるが容易に長時間の遅延が可能で、上記のサンプリング時間単位の遅延と組み合わせることで長時間で高分解能の遅延が可能となる。

【0029】フェージングシミュレータの遅延時間の設定に関し、本発明の第1の実施の形態と従来の方式との比較を以下の表1に示す。

【表1】

方式	遅延時間の 精度・安定性	設定できる遅延時間 の分解能	設定できる遅延時間の 範囲
従来方式 (アナログ)	デジタル方式 に比べ高精度化 は難しい。	比較的細かく設定は 可能	デジタル方式と比較し 広くとることは難しい。
従来方式 (デジタル)	良好	低い 高速化にはメモリの高 速動作が必要で他のデ バイスも高速化が必 要。	広範囲化が容易 メモリ容量で決まる。 メモリ動作を高速化し 分解能を高くすると狭 くなる。
本発明 (デジタル)	良好	高い 遅延分解能の高分解能 化のために直交変調器 や合成回路などを高速 化する必要はない。	広範囲化が容易 メモリ容量で決まる。 高分解能化してもメモ リ容量は同じでよい。

【0030】表1から明らかなように本実施の形態によるフェージングシミュレータは、デジタル信号処理により高精度で高分解能な遅延が可能になり、かつデジタル信号処理による直交変調や遅延波の加算が可能という点で優れた効果が得られる。

【0031】このように本発明の第1の実施の形態によれば、遅延素子であるFIFOの書き込み読み出しのサイクル時間のN倍（Nは整数）高速なサンプリング周期で入力アナログ信号をAD変換しそのサンプリング速度でデジタルデータを遅延するデジタル信号の遅延素子DFF3を設けて高分解能の遅延量制御を行なうようにし、さらに長時間の遅延が可能な遅延素子であるFIFOと組み合わせで高分解能、長時間、高精度な遅延を実現することができる。

【0032】（第2の実施の形態）図3に本実施の形態におけるマルチパスフェージングシミュレータの遅延量制御回路の構成を示す。なお本実施の形態における遅延量制御回路は、上記第1の実施の形態における遅延量制御回路7の具体化構成を示したものである。

【0033】図3においてゲート回路301（第2のゲート回路）は、制御回路303からの遅延量をFIFO6の遅延分解能の1ステップ分減らすための制御信号を受けてFIFO6の書き込み信号を1遅延量分だけマスクする。また、ゲート回路302（第1のゲート回路）は、制御回路303からの遅延量をFIFO6の遅延分解能の1ステップ分増やすための制御信号を受けてFIFO6の読み出し信号を1遅延量分だけマスクする。

【0034】操作者からの入力により制御回路303はデ

ータテーブル304に遅延量をいつどのようなタイミングで変化させるかという情報とその時遅延量を増やすか減らすかという情報を書き込む。通常は複数の変化タイミング情報をデータテーブル304に書き込む。また、データテーブル304を参照し遅延量を変化させるタイミングで遅延量を変化させるためスイッチ5の切り替え信号とゲート回路301（第2のゲート回路）とゲート回路302（第1のゲート回路）に遅延量を変化させるための制御信号を送る。また、操作者の入力により遅延時間の経時変化を開始することができる。

【0035】データテーブル304はメモリで構成され、それには遅延量の変化タイミング時に遅延量を増やすか減らすかの情報が記憶され、制御回路303がそれを参照する。

【0036】ここで、遅延時間を経時変化させるときの動作を図4の制御回路303の動作フローを用いて説明する。

【0037】操作者はあらかじめ遅延量を変化させるタイミングと変化量を制御回路303を介してデータテーブル304に記憶させておく（S301）。操作者の入力により遅延量の経時変化の動作を開始する（S302）。制御回路303は（S301）で設定したタイミングになるのを待つ（S303）。そのタイミングになったとき制御回路303はデータテーブル304を参照し変化量をもとに遅延量を変化させるタイミングを増やすか減らすか判定する（S304）。

【0038】（S304）で増やすと判定した場合でスイッチ5で遅延量を増やすことができるか判定し（S305）、可能な場合はスイッチ5に遅延量を増やす制御信号を送

30

40

50

出する (S306)。可能でない場合はスイッチ5に3ステップ分遅延量を減らす制御信号を送出し (S307)、また、ゲート回路302 (第1のゲート回路) にFIFO6の読み出し信号を1ステップ分マスクする制御信号を送出する (S308)。(S307)と (S308)の処理で1ステップ分遅延量が増える。

【0039】 (S304)で減らすと判定した場合でスイッチ5で遅延量を減らすことができるか判定し (S315)、可能な場合はスイッチ5に遅延量を減らす制御信号を送出する (S316)。可能でない場合はスイッチ5に3ステップ分遅延量を増やす制御信号を送出し (S317)、また、ゲート回路301 (第2のゲート回路) にFIFO6の書き込み信号を1ステップ分マスクする制御信号を送出する (S318)。(S317)と (S318)の処理で1ステップ分遅延量が減少する。

【0040】ここまでの処理過程を経て、(S303)からの経時変化の最終的な状態になったかどうか判定し、経時変化の最終的な状態になっていなければ、(S303)に戻って以上の処理過程を続ける (S319)。

【0041】このように本発明の第2の実施の形態によれば、FIFO6の遅延量をその最高分解能の1ステップ分のみ増やすため読み出し信号を1ステップ分送出させないためのゲート回路302 (第1のゲート回路)と、FIFO6の遅延量をその最高分解能の1ステップ分のみ減らすため書き込み信号を1ステップ分送出させないためのゲート回路301 (第2のゲート回路)と、FIFO6より高分解能な遅延素子の遅延量を選択するスイッチ5と、FIFO6の遅延量と上記高分解能の遅延素子の遅延量を制御する制御回路303と、操作者の設定するタイミングで遅延量を増加または減少する制御回路303及びデータテーブル304とを備えるように上記第1の実施の形態における遅延量制御回路7を構成したもので、操作者が設定した任意のタイミングで制御回路303がデータテーブル304を参照しFIFO6と上記高分解能の遅延量の制御を行ない、1ステップずつ遅延量の変化を行なわせることで遅延量の経時変化を実現できるという効果を有する。

【0042】

【発明の効果】以上のように本発明は、記憶素子を用いてデジタルデータの遅延素子と、その遅延素子による遅延時間を任意に選択する遅延量の制御手段と、その遅延*

*素子の遅延時間の分解能よりN倍 (Nは整数) 高速なサンプリング周期でアナログ信号を量子化するAD変換器と、そのAD変換器の出力をサンプリング周期と同一の時間分解能で遅延するデジタルデータの遅延素子と、その遅延時間を任意に選択する遅延量の制御手段と、パス毎に遅延量の制御を設定しうる手段を有するマルチパスフェージングシミュレータであり、メモリなどの記憶素子でデジタルデータを遅延制御し遅延時間の設定することに加えて高速のAD変換器でデータをサンプリングし高分解能に遅延時間を制御できる機能を加えることで高分解能で長時間で高精度の遅延時間の設定が可能なフェージングシミュレータが実現できる。

【0043】また、マルチパスフェージングシミュレータで遅延量を操作者の設定する任意のタイミングで遅延量を高い分解能で経時変化させることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるフェージングシミュレータの構成を示すブロック図、

【図2】本発明の第1の実施の形態におけるフェージングシミュレータの動作説明のためのAD変換後の波形とラッチ波形の一例を示す図、

【図3】本発明の第2の実施の形態における遅延量の制御回路の構成を示すブロック図、

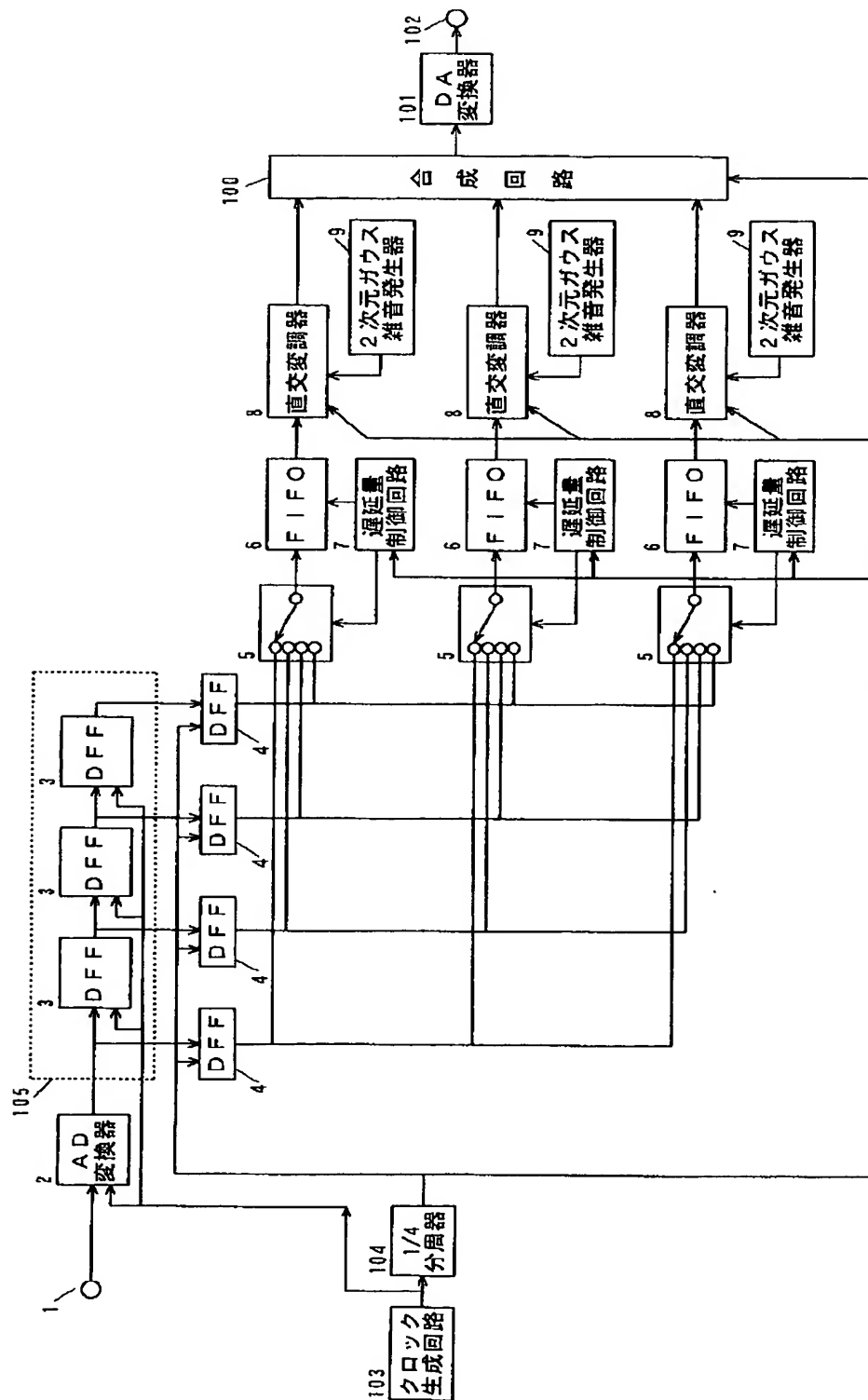
【図4】本発明の第2の実施の形態における制御回路303で遅延時間を経時変化させるときの動作を説明するフローチャート、

【図5】従来のフェージングシミュレータの構成を示すブロック図である。

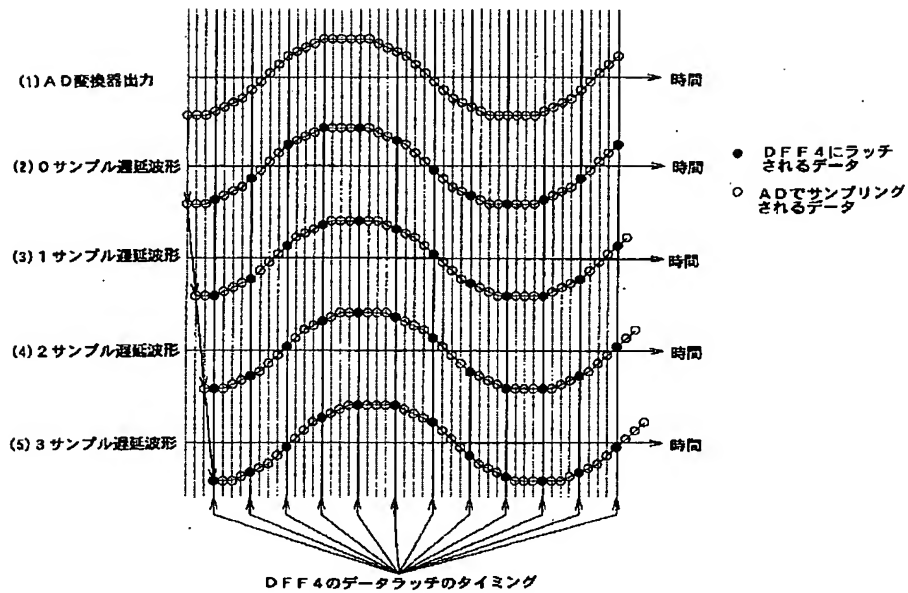
【符号の説明】

- 2 AD変換器
- 3、4 DFF
- 5 スイッチ
- 6 FIFO
- 7 遅延量制御回路
- 8 直交変調器
- 9 2次元ガウス雑音発生器
- 100 合成回路
- 103 クロック生成回路
- 104 1/4分周器
- 301、302 ゲート回路
- 303 制御回路
- 304 データテーブル

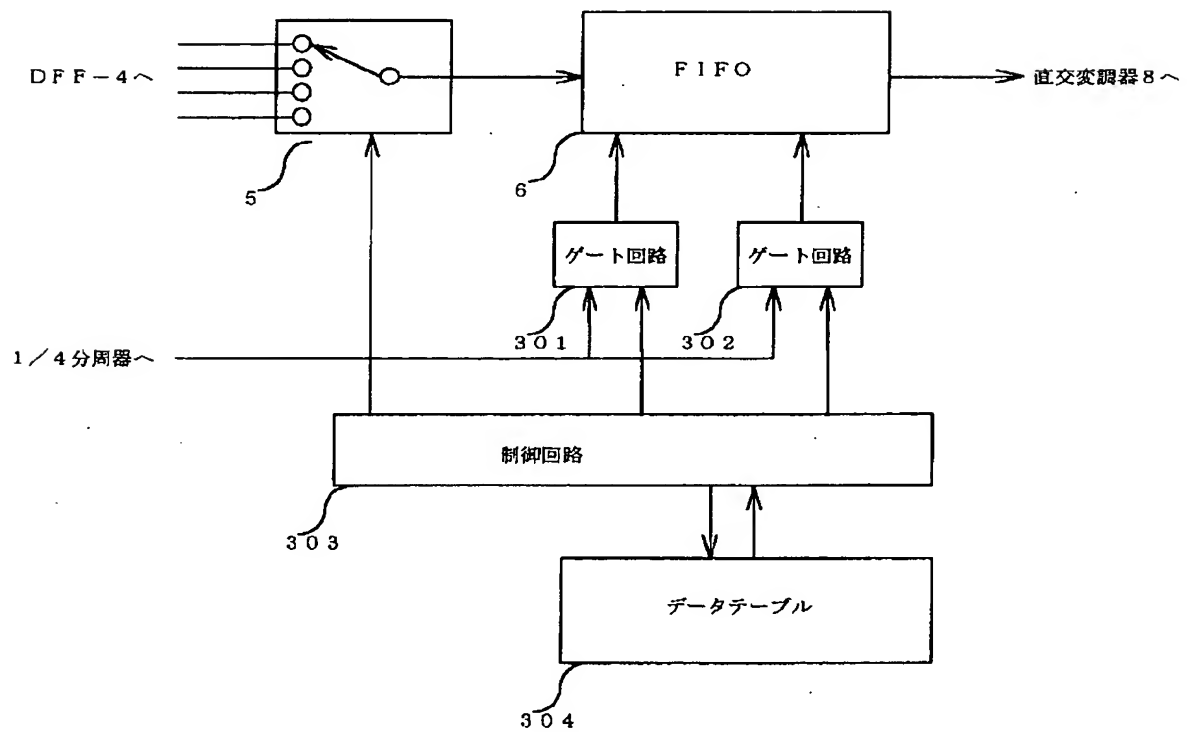
【図1】



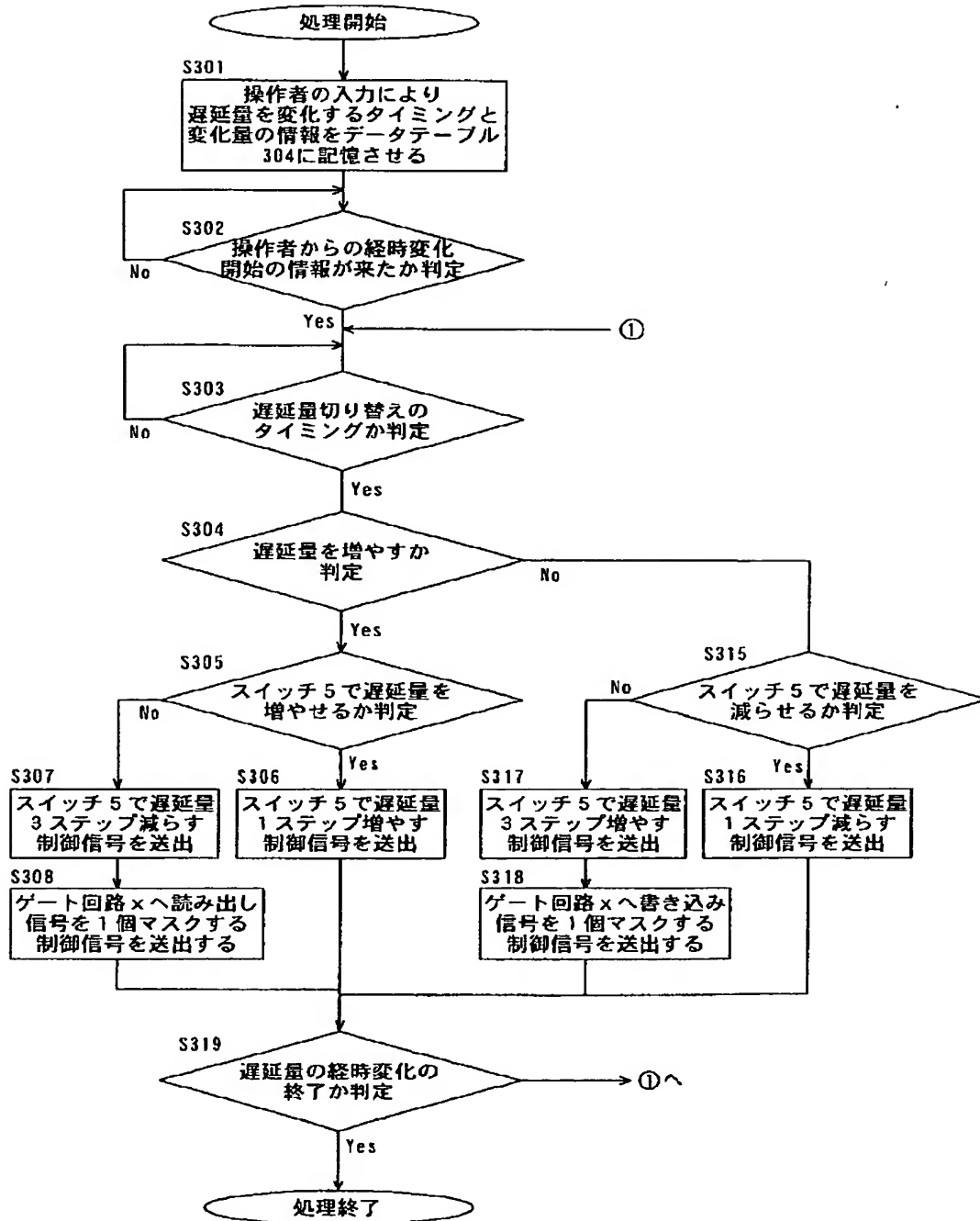
【図 2】



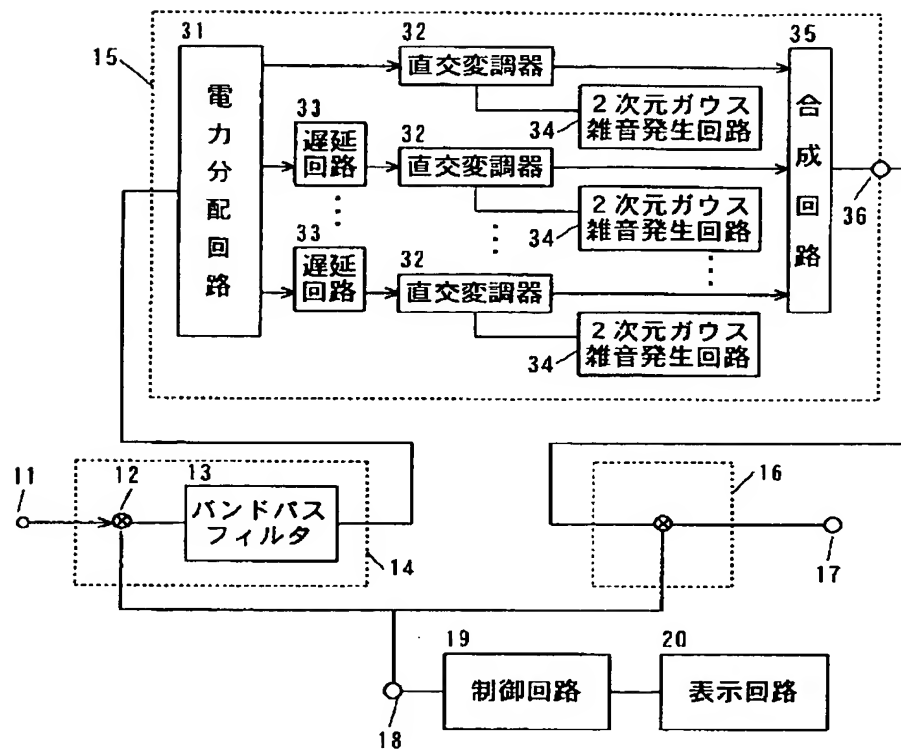
【図 3】



【図4】



【図5】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10271059 A**

(43) Date of publication of application: 09 . 10 . 98

(51) Int. Cl.

H04B 7/26**H04Q 7/36****H04J 13/00****H04Q 7/22****H04Q 7/28**(21) Application number: **09067944**(22) Date of filing: **21 . 03 . 97**(71) Applicant: **KOKUSAI ELECTRIC CO LTD**(72) Inventor: **MIMA MITSURU
YOKOGAWA EIJI****(54) CDMA METHOD CELLULAR RADIO SYSTEM****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a code division multiplex access(CDMA) method cellular radio system in which synchronization of a transmission timing of an outgoing radio data frame is established among base stations without the use of a system such as GPS(global positioning system).

SOLUTION: Each mobile source and mobile destination base station 20 generates a user data part of an outgoing radio data frame based on a cell sequence number and an outgoing radio data frame number given to transmission information of a cell form fed from an exchange control station and sends the data part to a mobile station 30. The mobile station 30 receives the outgoing radio data frame sent in a same timing from each base station 20 and sends a transmission timing adjustment request to request adjustment of transmission timings of outgoing radio data frames based on the comparison result of the cell sequence number. A destination base station 20 adjusts the transmission timing of the outgoing radio data frame based on the transmission timing adjustment request.

COPYRIGHT: (C)1998,JPO

